

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-341141

(43) Date of publication of application : 22.12.1998

(51) Int.CI.

H03K 17/687  
G05F 1/56  
H01L 21/8249  
H01L 27/06  
H03K 17/24

(21) Application number : 09-152123

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 10.06.1997

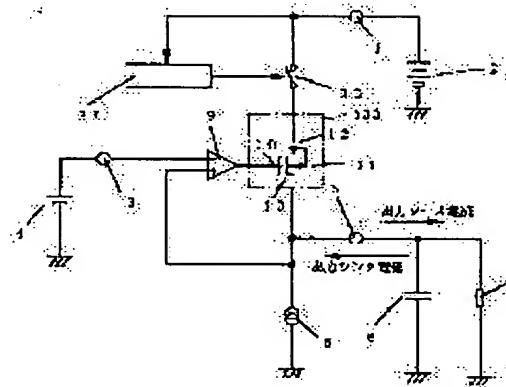
(72) Inventor : TANAKA TAKESHI  
FUKAZAWA TOSHINORI

## (54) OUTPUT STAGE CIRCUIT

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize an output stage circuit for a power supply circuit or the like through the adoption of a MOS transistor(TR) so as to reduce the power consumption where no reverse drain current flows as in the case of adoption of a bipolar TR and no loss voltage is provided like a reverse flow prevention circuit using a diode.

**SOLUTION:** A current interrupting switch 36 is placed in series with a P- channel MOS output TR 100 and a power supply voltage monitor circuit 37 conducts ON/OFF control of the current interrupting switch 36. Thus, even when a level at a power terminal 1 is reduced, a reverse current flowing due to a parasitic diode between a drain 13 and a back gate 11 of the P- channel MOS output TR 100 can be blocked. Also a reverse current due to a decreased level of a gate 10 resulting from a power supply voltage drop of a differential amplifier 9 is prevented. A P-channel MOS TR is employed as a current interrupting switch.



## LEGAL STATUS

[Date of request for examination] 18.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3426470

[Date of registration] 09.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-341141

(43)公開日 平成10年(1998)12月22日

(51)Int.Cl.<sup>o</sup> 識別記号  
H 03 K 17/687  
G 05 F 1/56 3 2 0  
H 01 L 21/8249  
27/06  
H 03 K 17/24

F I  
H 03 K 17/687 A  
G 05 F 1/56 3 2 0 G  
H 03 K 17/24  
H 01 L 27/06 3 2 1 A

審査請求 未請求 請求項の数3 OL (全9頁)

(21)出願番号 特願平9-152123

(22)出願日 平成9年(1997)6月10日

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 田中 武  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 深澤 敏則  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

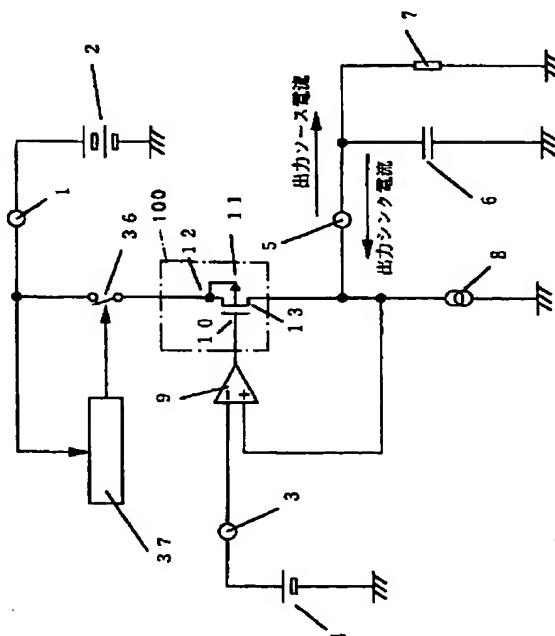
(74)代理人 弁理士 宮井 喜夫

(54)【発明の名称】出力段回路

(57)【要約】

【課題】 電源回路などの出力段をMOSトランジスタを用いて構成して低消費電力化すると同時に、バイポーラトランジスタを用いた時と同様にドレイン電流が逆向きには流れず、しかもダイオードによる逆流防止回路のような損失電圧を持たない回路を実現する。

【解決手段】 PチャンネルMOS出力トランジスタ100と直列に電流遮断スイッチ36を配し、電流遮断スイッチ36のON/OFF制御を電源電圧監視回路37で行う。これにより、例えば電源端子1の電位が低下したときでも、PチャンネルMOS出力トランジスタ100のドレイン13とバックゲート11間の寄生ダイオードによる逆流および差動増幅器9の電源電圧低下によりゲート10の電位が低下した場合の逆流のいずれをも防止することができる。電流遮断スイッチとしてはPチャンネルMOSトランジスタを使用することができる。



## 【特許請求の範囲】

【請求項1】 MOS出力トランジスタと、このMOS出力トランジスタと外部電源電圧が加えられる電源端子との間に挿入した電流遮断スイッチと、前記電源端子に加えられる外部電源電圧を監視しその値が所定値より低下したときに前記電流遮断スイッチを強制的に遮断する電源電圧監視回路とを備えた出力段回路。

【請求項2】 電流遮断スイッチがバックゲートをドレインに接続したMOSスイッチトランジスタからなり、電源電圧監視回路がMOS出力トランジスタに接続された出力端子の電圧を電源電圧とし外部電源電圧を入力電圧とするインバータからなり、このインバータの出力電圧を前記MOSトランジスタのゲートに入力するようにしたことを特徴とする請求項1記載の出力段回路。

【請求項3】 電流遮断スイッチがバックゲートをドレインに接続したMOSスイッチトランジスタからなり、電源電圧監視回路が外部電源電圧と基準電圧とを比較する比較器と、MOS出力トランジスタに接続された出力端子の電圧を電源電圧とし前記外部電源電圧を一方の入力電圧とし前記比較器の出力電圧を他方の入力電圧とするNAND回路とからなり、このNAND回路の出力電圧を前記MOSスイッチトランジスタのゲートに入力するようにしたことを特徴とする請求項1記載の出力段回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はMOS出力トランジスタを用いた出力段回路に関するものである。

## 【0002】

【従来の技術】 近年携帯電話などの携帯機器が急速に普及している。これら携帯機器の長時間動作の要求に対応して電気回路の低消費電流化の要求が強まっている。しかし、従来よりアナログ回路において主流であったバイポーラトランジスタ回路を用いて、電流供給能力が要求される電源回路などの出力段回路を構成した場合には、出力電流が少ないとても最大出力電流を取り出す時のベース電流分を出力トランジスタのベースに供給するため、回路の低消費電流化が困難である。

【0003】 そこで、消費電流を特に問題とするような用途においては、出力段回路における出力素子に電圧制御デバイスであるMOSトランジスタを用いることによって低消費電流化を図る場合が多くなっている。以下、MOS出力トランジスタを出力素子として有する従来の出力段回路の一例として、PチャネルMOS出力トランジスタを出力素子とする定電圧回路、すなわち、外部回路に向かってソース（吐き出し）電流を供給する定電圧回路の構成および動作を図4を参照しながら説明する。

【0004】 図4において、1は出力段回路の電源端子であり、外部電源2が接続されている。外部電源2は携帯機器の場合は主に電池であり、使用中に取り外される

ことがある。3はこの定電圧回路の基準電圧端子で、基準電圧源4の基準電圧が印加される。5は定電圧出力端子で、定電圧回路の場合、高周波特性改善のためのバイパスコンデンサ6や負荷7が接続される。8は定電流源で、定電圧回路のバイアスのために必要であるが、バイポーラトランジスタを用いた出力段回路のように最大電流に合わせる必要はなく、この定電圧回路の電流シンク（吸い込み）能力や、PチャネルMOS出力トランジスタ100、あるいは出力段制御用の差動増幅器9が能動状態になるための条件を満たしていればよい。10、11、12、13はそれぞれ出力段のPチャネルMOS出力トランジスタ100のゲート、バックゲート、ソース、ドレインをそれぞれ示している。

【0005】 つぎに、図4の回路の基本動作を説明する。まず、基準電圧端子3の電圧と定電圧出力端子5の電圧とを差動増幅器9が比較する。そして、定電圧出力端子5の電圧が基準電圧端子3の電圧よりも高いときは、PチャネルMOS出力トランジスタ100のゲート10の電圧を高くしてPチャネルMOS出力トランジスタ100を遮断させようとする方向に制御し、定電圧出力端子5の電圧を下げる。逆に、定電圧出力端子5の電圧が基準電圧端子3の電圧よりも低いときは、PチャネルMOS出力トランジスタ100のゲート10の電圧を低くして、定電圧出力端子5の電圧を上げる。結局、定電圧出力端子5の電圧は常に基準電圧端子3の電圧と等しくなるように制御され、図4の回路全体として定電圧回路として動作することになる。

## 【0006】

【発明が解決しようとする課題】 しかしながら、図4に示したPチャネルMOS出力トランジスタ100を出力素子とする従来の構成では、電源の瞬断等によって電源端子1に加えられる外部電源電圧が低下し、定電圧出力端子5の電圧が電源端子1の外部電源電圧よりも高くなつた場合、以降で説明する2つのモードで定電圧出力端子5から電源端子1に向かって電流が逆流するという問題点がある。このことが特に問題となる具体例としては、携帯機器などで電池が外れた時などの電源瞬断時に、マイクロコンピュータの情報退避を行つるために一定期間の内部電源電圧保持が必要となるような場合に、電流の逆流によって内部電源電圧が急速に低下してしまつて内部電源電圧を保持することができず、マイクロコンピュータの情報退避を行えないような場合が考えられる。

【0007】 なお、上記において、電流が逆流とすると表現しているのは、定電圧出力端子5につながったバイパスコンデンサ6などの静電容量が本来電荷を維持しようとするのを、電源電圧が下がることで、図5および図6に関する説明であげた寄生ダイオードが電源に向かって通電することで抜き取ってしまうことを表現したものである。この図では、バイパスコンデンサ6にたまつた

電荷による電流が逆流することを言っている。

【0008】また、電池が外れていても電流が逆流するのは、例えば定電圧源回路等のように、電池が外れていても電流が流れる回路は多く存在するからである。この場合に、バイパスコンデンサ6が電源の代わりとして働くので、通常電池がある時に電流を消費する回路（電池が外れていても電流が流れる回路）のすべてを通して電荷が抜けてしまう。特に、瞬間的な大電流が流れ電源端子電圧が低下した場合は、インピーダンスが低いものに対する逆流であるので、さらに深刻な問題となる。

【0009】まず第1の電流逆流モードについて説明する前に、PチャネルMOS出力トランジスタにおける寄生ダイオードについて説明する。図5は、PチャネルMOS出力トランジスタ100の断面構造を示す概略図である。ただし、LOCOSなど、本発明では本質的でない部分については図示を省略している。図5において、10, 14はそれぞれPチャネルMOS出力トランジスタ100のゲートとゲート端子を示し、12, 16はそれぞれPチャネルMOS出力トランジスタ100のソースとソース端子を示し、13, 17はそれぞれPチャネルMOS出力トランジスタ100のドレインとドレイン端子を示しており、各符号は図4と対応させている。なお、今回は説明のためにソース、ドレインを決めているが、実際にはどちらがソースでどちらがドレインかは電圧を印加する向きによって決まり、構造的には本質的に差がない。

【0010】11, 15はそれぞれPチャネルMOS出力トランジスタ100のバックゲートとバックゲート端子を示しており、PチャネルMOS出力トランジスタ100のバックゲートはN型になっている。20はゲート酸化膜である。図5を見るとわかるように、PチャネルMOS出力トランジスタ100は、ソース12, ドレイン13とバックゲート11との間に寄生ダイオード18, 19を本質的に有している。

【0011】以上を踏まえて前述の第1の電流逆流モードについて説明する。図4のような標準的な出力回路構成の場合、PチャネルMOS出力トランジスタ100のバックゲート11は、回路の最大電圧である電源端子1と接続するか、あるいはPチャネルMOS出力トランジスタ100のソース12と共に接続するのが一般的である。なお、図4の場合ではどちらの接続も同一である。

【0012】以下、出力段部を抜き出し、寄生ダイオードも含めて表した図6を用いて、第1の電流逆流モードについて説明する。図6(b)が図4の接続状態に対応している。この状態では、図5を用いて説明したように、寄生ダイオード18, 19が存在しており、寄生ダイオード18の方が短絡されているので、結局寄生ダイオード19のみが存在していることになる。

【0013】したがって、電源端子1が定電圧出力端子

5よりも高い電圧の時は、寄生ダイオード19は逆バイアスされて回路上影響ないが、定電圧出力端子5の電圧が電源端子1の電圧よりもPN接合の順方向電圧である約0.6V以上大きくなるような条件になると、この寄生ダイオード19が順方向にバイアスされて大電流が流れることがわかる。これは電源が短絡されたのと同等であるので、電流制限がないなど最悪の場合には素子破壊の可能性がある。なお、素子破壊とは、例えば出力段に大きなコンデンサが用いていて電源端子が何かの拍子に0Vになったとすると、コンデンサを電源にして、出力段の寄生ダイオードがオンとなる。この寄生ダイオードは、電源とグラウンドとをショートしたのと同じであるので、許容値を超える電流密度が発生すれば、PN接合が破壊しかねないという意味である。その頻度は少ないと予想される。

【0014】前述の第1の電流逆流モードの電流の逆流を防ぐにはいくつかの方法がある。第1の方法としては、図6(a)に示すようにPチャネルMOS出力トランジスタ100のバックゲート11をどこにも接続せず、フローティングとする方法がある。また、第2の方法としては、図6(c)に示すように逆流防止ダイオード21を追加する方法がある。また、第3の方法としては、図6(d)に示すように2つのPチャネルMOS出力トランジスタ100, 101を直列に、しかも寄生ダイオード19, 26が互いに逆向きになるように接続する方法がある。また、第4の方法としては、図6(e)に示すように2つのPチャネルMOS出力トランジスタ100, 102を直列に、しかも寄生ダイオード19, 33が互いに逆向きになるように接続する方法がある。

【0015】なお、図6(d)において、22はPチャネルMOS出力トランジスタ101のゲート、23はPチャネルMOS出力トランジスタ101のバックゲート、24はPチャネルMOS出力トランジスタ101のソース、25はPチャネルMOS出力トランジスタ101のドレイン、26はPチャネルMOS出力トランジスタ101のソース・バックゲート間の寄生ダイオード、27はPチャネルMOS出力トランジスタ101のドレイン・バックゲート間の寄生ダイオード、28はPチャネルMOS出力トランジスタ100, 101の共通ゲートである。

【0016】また、図6(e)において、29はPチャネルMOS出力トランジスタ102のゲート、30はPチャネルMOS出力トランジスタ102のバックゲート、31はPチャネルMOS出力トランジスタ102のソース、32はPチャネルMOS出力トランジスタ102のドレイン、33はPチャネルMOS出力トランジスタ102のソース・バックゲート間の寄生ダイオード、34はPチャネルMOS出力トランジスタ102のドレイン・バックゲート間の寄生ダイオード、35はPチャネルMOS出力トランジスタ100, 102の共通ゲー

トである。

【0017】上記図6(a), (c)～(e)のものは、いずれも寄生ダイオードが働かないような回路構成にしているが、それぞれ問題点も有している。まず、図6(a)に示したバックゲート11のフローティング化はバックゲート電位が固定しないので、PチャネルMOS出力トランジスタの閾値電圧が変動したり、他の寄生素子による影響を受けるなど、特性や動作が不安定になりやすい。

【0018】つぎに、図6(c)のものは逆流防止ダイオード21の1個分の電圧損失があるので、電圧損失が許される場所には使用できるが、そうでない用途には使えない。つぎに、図6(d), (e)のようにPチャネルMOS出力トランジスタ100, 101を逆向きに直列に接続した場合、あるいはPチャネルMOS出力トランジスタ100, 102を逆向きに直列に接続した場合について説明する。まず図6(d)は本質的には図6(a)の構造に近く、特性や動作が不安定になりやすい。また、図6(e)は寄生ダイオード19, 33の向きでいえば、図6(c)の構造に近いが、図6(c)とは異なり、寄生ダイオード19, 33に対してPチャネルMOS出力トランジスタ100, 102が各々並列に接続されているので、ゲート29の電圧が十分に低ければ、PチャネルMOS出力トランジスタ100, 102がオンとなることで電圧損失は生じない。また、バックゲート11, 30は電源端子1と定電圧出力端子5にそれぞれ接続されているので、特性や動作が安定である。以上のように、第1の電流逆流モードについていえば、回路的な工夫で回避することが可能である。

【0019】つぎに、第2の電流逆流モードについて説明する。このモードは、PチャネルMOS出力トランジスタ本来の動作、すなわちゲート電位が低下することによりPチャネルMOS出力トランジスタ自身が導通してしまう場合である。図6の例では、ゲート10あるいは28, 35の電位が低下して、各PチャネルMOS出力トランジスタ100, 101, 102が導通てしまっている状態である。このようなケースは、電源端子1の電源電圧が低下したことで、図4中で回路の電源電圧が電源端子1から供給されている差動増幅器9の出力電圧も低下する場合に出現すると考えられる。この場合、大電流出力段のPチャネルMOS出力トランジスタ100, 101, 102のサイズは大きく、オン抵抗が小さいので、逆流電流も大きくなる。

【0020】携帯機器では、電源の瞬断や電池が外された時点のマイクロコンピュータの設定情報の退避処理を行う場合があり、そういう際にこの電流の逆流は大きな問題となる。よって前述のゲート電位が低下しないような逆流防止手段が別途必要であるが、外部電源2を用いた回路では自身の電源が低下してしまうことから実現が困難であった。

【0021】したがって、本発明の第1の目的は、寄生ダイオードを通る電流の逆流およびMOS出力トランジスタ自体の導通による電流の逆流を両方とも防止することができる出力段回路を提供することである。また、本発明の第2の目的は、寄生ダイオードを通る電流の逆流およびMOS出力トランジスタ自体の導通による電流の逆流の防止を容易に実現することができる出力段回路を提供することである。

【0022】また、本発明の第3の目的は、寄生ダイオードを通る電流の逆流およびMOS出力トランジスタ自体の導通による電流の逆流の防止を簡単な回路構成で実現することができる出力段回路を提供することである。また、本発明の第4の目的は、外部電源電圧の低下が緩やかな時にも速やかに外部電源電圧を低下を検出し、寄生ダイオードを通る電流の逆流およびMOS出力トランジスタ自体の導通による電流の逆流を速やかに防止することができる出力段回路を提供することである。

【0023】

【課題を解決するための手段】請求項1記載の出力段回路は、MOS出力トランジスタと、このMOS出力トランジスタと外部電源電圧が加えられる電源端子との間に挿入した電流遮断スイッチと、電源端子に加えられる外部電源電圧を監視しその値が所定値より低下したときに電流遮断スイッチを強制的に遮断する電源電圧監視回路とを備えている。

【0024】この構成によると、電源電圧監視回路によって外部電源電圧が監視され、その値が所定値より低下したときに電流遮断スイッチが強制的に遮断される。これによって、外部電源電圧が所定値より低下したときにMOS出力トランジスタ自体またはその寄生ダイオードを通る逆流電流の経路が開放されることになる。このように、電流遮断スイッチと電源電圧監視回路を設け、外部電源電圧が所定値より低下したときに電流遮断スイッチを開放するので、外部電源電圧が出力端子の電圧よりも低下しても、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を防止することができる。

【0025】しかも、逆流電流を防止するためにMOS出力トランジスタと電源端子との間に電流遮断スイッチを挿入するとともに、外部電源電圧を監視し外部電源電圧の低下時に電流遮断スイッチを強制遮断する電源電圧監視回路を設けるだけでよいので、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を容易に実現することができる。

【0026】請求項2記載の出力段回路は、請求項1記載の出力段回路において、電流遮断スイッチがバックゲートをドレインに接続したMOSスイッチトランジスタからなり、電源電圧監視回路がMOS出力トランジスタに接続された出力端子の電圧を電源電圧とし外部電源電

圧を入力電圧とするインバータからなり、このインバータの出力電圧をMOSスイッチトランジスタのゲートに入力するようにしている。

【0027】この構成によると、外部電源電圧をインバータに入力しており、外部電源電圧がインバータの閾値より低下したときにインバータの出力電圧が反転することになり、外部電源電圧の低下が検出される。つまり、外部電源電圧とインバータの閾値電圧とが比較されて、外部電源電圧の低下が検出されることになる。このように、電源電圧監視回路をインバータで構成し、インバータを比較器として利用して外部電源電圧の低下を検出しているので、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を簡単な回路構成で実現することができる。

【0028】請求項3記載の出力段回路は、請求項1記載の出力段回路において、電流遮断スイッチがバックゲートをドレインに接続したMOSスイッチトランジスタからなり、電源電圧監視回路が外部電源電圧と基準電圧とを比較する比較器と、MOS出力トランジスタに接続された出力端子の電圧を電源電圧とし外部電源電圧を一方の入力電圧とし比較器の出力電圧を他方の入力電圧とするNAND回路とからなり、このNAND回路の出力電圧をMOSスイッチトランジスタのゲートに入力するようしている。

【0029】この構成によると、比較器にて外部電源電圧を任意の基準電圧と比較するとともに外部電源電圧とNAND回路の閾値を比較することにより、外部電源電圧の低下を検出している。そのため、基準電圧を高めに設定することにより、外部電源電圧がNAND回路の閾値より低下するまで待たずに外部電源電圧が少し低下するだけで、外部電源電圧の低下を検出することができる。しかも、外部電源電圧がかなり低下して比較器の動作が不能となる状況に陥ってもこのときはNAND回路の動作で外部電源電圧の低下を検出している状態が保持されることになる。そのため、外部電源電圧の低下勾配が緩やかなときにも、速やかに外部電源電圧の低下を検出することができ、早い段階で電流遮断スイッチを開放することができ、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を速やかに防止することができる。

【0030】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら説明する。

【第1の実施の形態；請求項1に対応】図1に本発明の第1の実施の形態の定電圧回路の回路図を示す。この定電圧回路は、図1に示すように、PチャネルMOS出力トランジスタ100のソース12と外部電源2の電圧が加えられる電源端子1との間に電流遮断スイッチ36を挿入し、電源電圧監視回路37を設けて電源端子1に加えられる外部電源2の電圧を監視し、その値が所定値よ

り低下したときに電流遮断スイッチ36を強制的に遮断するようにしたもので、その他の構成は図4の定電圧回路と同様である。

【0031】この定電圧回路においては、電源電圧監視回路37によって外部電源2の電圧が監視され、その値が所定値より低下したときに電流遮断スイッチ36が強制的に遮断される。これによって、外部電源2の電圧が所定値より低下したときに、電源電圧監視回路37が働いてPチャネルMOS出力トランジスタ100自体またはその寄生ダイオードを通る逆流電流の経路が開放されることになる。上記以外の動作は図4の定電圧回路と同様である。

【0032】この実施の形態の定電圧回路によれば、電流遮断スイッチ36と電源電圧監視回路37を設け、外部電源2の電圧が所定値より低下したときに電流遮断スイッチ36を開放するので、外部電源2の電圧が出力端子5の電圧より低下しても、PチャネルMOS出力トランジスタ100自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を防止することができ、PチャネルMOS出力トランジスタ100のゲートの電圧が低下しても何ら問題なく逆流を防止することができる。

【0033】しかも、逆流電流を防止するためにPチャネルMOS出力トランジスタ100と電源端子1との間に電流遮断スイッチ36を挿入するとともに、外部電源2の電圧を監視し外部電源2の電圧の低下時に電流遮断スイッチ36を強制遮断する電源電圧監視回路37を設けるだけでよいので、PチャネルMOS出力トランジスタ100自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を容易に実現することができる。

【0034】【第2の実施の形態；請求項2に対応】図2に本発明の第2の実施の形態の定電圧回路の回路図を示す。この定電圧回路は、図2に示すように、前述の図1の電流遮断スイッチ36をバックゲート41をドレイン43に接続したPチャネルMOSスイッチトランジスタ111で構成し、電源電圧監視回路37をCMOSインバータ38で構成したものである。この電源電圧監視回路37として用いられるCMOSインバータ38は、PチャネルMOS出力トランジスタ100のドレインに接続された出力端子5の電圧を電源電圧とし外部電源2の電圧を入力電圧とし、出力電圧をPチャネルMOSスイッチトランジスタ111のゲート40に入力するようしている。その他の構成は図1の定電圧回路と同様である。

【0035】ここで、電流遮断スイッチとして機能するPチャネルMOSスイッチトランジスタ111のゲート40は、電源電圧監視回路として機能するCMOSインバータ38で駆動される。CMOSインバータ38は、外部電源2の電圧が正常であって入力電圧39が高い場

合にはPチャネルMOSスイッチトランジスタ111のゲート40を接地レベル下げてPチャネルMOSスイッチトランジスタ111を十分に導通させる。逆に、外部電源2が遮断されると、CMOSインバータ38への入力電圧39も下がるが、このCMOSインバータ38の電源電圧は出力端子5から供給されているので、PチャネルMOSスイッチトランジスタ111のゲート40の電圧が出力端子5の電圧と等しくなり、PチャネルMOSスイッチトランジスタ111は、導通することができず、遮断状態となる。

【0036】さらに、PチャネルMOSスイッチトランジスタ111のバックゲート41は通常の電圧の極性で考えたときのドレイン43に接続されており、電源電圧低下時には逆方向バイアスとなる向きであるので、結局出力端子5から電源端子1に向かってPチャネルMOS出力トランジスタ100を通して逆流する電流はなく、外部負荷7やその他のリーク電流によってのみ出力端子5に接続された容量6の電荷が消費されることとなる。したがって、電流の逆流による出力端子5の電圧低下は最小限に抑えることができる。

【0037】この実施の形態における定電圧回路は、外部電源電圧をインバータに入力しており、外部電源2の電圧がCMOSインバータ38の閾値より低下したときにCMOSインバータ38の出力電圧を反転させることにより、外部電源2の電圧の低下を検出する。つまり、外部電源電圧とインバータの閾値電圧とを比較することで、外部電源2の電圧の低下を検出することになる。

【0038】この実施の形態の定電圧回路によれば、電源電圧監視回路をCMOSインバータ38で構成し、CMOSインバータ38を比較器として利用して外部電源2の電圧の低下を検出しているので、PチャネルMOS出力トランジスタ100自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を簡単な回路構成で実現することができる。その他の効果については、第1の実施の形態と同様である。

【0039】なお、CMOSインバータ38において、PチャネルMOSトランジスタあるいはNチャネルMOSトランジスタのいずれか一方を抵抗素子に置き換えた構成（NチャネルインバータまたはPチャネルインバータの構成）でも、上記と同様の動作をする。ただし、Pチャネルトランジスタを抵抗素子に置き換えた場合には、通常動作時に消費電流が増すことになる。

【0040】また、NチャネルMOSトランジスタを抵抗素子に置き換えた場合には、逆流防止動作時に出力端子5の電圧がインバータのPチャネルMOSトランジスタのオン抵抗と抵抗素子とで分圧されて、PチャネルMOSスイッチトランジスタ100のゲート40に加えられるので、抵抗素子の抵抗値をかなり大きな値としないと、逆流防止動作時にPチャネルMOSスイッチトランジスタ100のゲート40の電圧が十分に上がらなかっ

たり、ゲート40の浮遊容量の充電電流の一部が抵抗で消費されるので、電流遮断動作までの時間遅れが生ずる可能性がある。

【0041】以上のことから踏まえ、CMOSインバータ38は、通常の構造とは異なり、PチャネルMOSトランジスタのW/Lを大きくしてオン抵抗を下げ、NチャネルMOSトランジスタのW/Lを小さくしてオン抵抗を上げることで、インバータとして動作する閾値（インバータの出力が反転する電圧）を高くするとともに、逆流遮断時のゲート40の充電を迅速に行えるようになることが望ましい。つまり、インバータのPチャネルMOSトランジスタをNチャネルMOSトランジスタより強力にすることで、PチャネルMOSトランジスタとNチャネルMOSトランジスタを同時にオンにするような条件でも、出力がハイレベルになりやすくなるのであり、これによって出力遮断を早めている。

【0042】なお、CMOSインバータ38への入力電圧39は直接電源端子1に接続しているが、通常は保護抵抗などを介して接続する。また、CMOSインバータ38への接続箇所は、電源端子1に限ることなく、それ以外でも外部電源2の電圧が低下した際にCMOSインバータ38の入力電圧39が十分に、かつ迅速に低下する回路部であれば接続することができる。

【0043】〔第3の実施の形態：請求項3に対応〕図3にこの発明の第3の実施の形態における定電圧回路の回路図を示す。この定電圧回路は、第2の実施の形態の定電圧回路に残っていた課題を解決することができるものである。第2の実施の形態は、電源が瞬断して瞬時に接地電圧レベルになった際に有効な回路である。しかし、外部電源2の電圧がある程度緩やかに低下していくと、外部電源2の電圧がCMOSインバータ38の閾値に達するまでに時間がかかり、その間逆流電流を遮断することができずに出力端子5の電圧も低下し、出力端子5の電圧の低下を抑えることができない。

【0044】そこで、外部電源2の電圧が緩やかに低下していく場合の動作を改善する例を第3の実施の形態として図3に示す。この第3の実施の形態における定電圧回路は、図2で示した逆流遮断のためのCMOSインバータ38をNAND回路44に置き換える。外部電源2の電圧を任意の基準電圧46と比較する比較器45を追加し、NAND回路44に一方の入力として電源端子1の電圧を加える他に、他方の入力として比較器45の出力電圧を加えたものである。

【0045】すなわち、この実施の形態では、電源電圧監視回路が外部電源2の電圧と基準電圧46とを比較する比較器45と、PチャネルMOS出力トランジスタ100に接続された出力端子5の電圧を電源電圧とし外部電源2の電圧を一方の入力電圧とし比較器45の出力電圧を他方の入力電圧とするNAND回路44とからなり、このNAND回路44の出力電圧をPチャネルMO

Sスイッチトランジスタ111のゲートに入力するよう 11  
にしている。

【0046】この比較器45の基準電圧46としては、外部電源2の電圧がどこまで低下したら出力端子5へのPチャネルMOS出力トランジスタ100からの出力を遮断するかという値を設定しておく。たとえば、出力端子5で3Vを出力する定電圧回路において、外部電源2の電圧が3Vを切ったら電圧を遮断するように基準電圧46を設定しておくと、ゆっくりと外部電源2の電圧が低下した場合でも、PチャネルMOS出力トランジスタ100は遮断される。

【0047】また、外部電源2の電圧が比較器45が動作しないような電圧になった際にNAND回路44の他方の入力（電源端子1に直接接続されている側の入力）が有効になるようにNAND回路44の閾値を設定しておけば、出力端子5からPチャネルMOS出力トランジスタ100を通した電源端子1への電流の逆流を、PチャネルMOSスイッチトランジスタ111のゲート40の充電時間遅れによる分のみの最小限の値に抑えることができる。

【0048】この実施の形態の定電圧回路によれば、比較器45にて外部電源2の電圧を任意の基準電圧と比較するとともに外部電源2の電圧とNAND回路44の閾値を比較することにより、外部電源2の電圧の低下を検出しているので、基準電圧を高めに設定することにより、外部電源2の電圧がNAND回路44の閾値より低下するまで待たずに外部電源2の電圧が少し低下するだけで、外部電源2の電圧の低下を検出することができる。しかも、外部電源電圧がかなり低下して比較器の動作が不能となる状況に陥ってもこのときはNAND回路44の動作で外部電源2の電圧の低下を検出している状態が保持されることになる。そのため、外部電源2の電圧の低下勾配が緩やかなときにも、速やかに外部電源2の電圧の低下を検出することができ、早い段階で電流遮断スイッチであるPチャネルMOS出力トランジスタ100を開放することができ、PチャネルMOS出力トランジスタ100自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を速やかに防止することができる。

【0049】なお、NチャネルMOSトランジスタを出力段とする回路の場合も基本的な考え方は電圧の極性を除きPチャネルMOSトランジスタを使用した回路と同一であり、本発明の内容についてもPチャネル、Nチャネル両方のMOSトランジスタ出力段回路に適用することが可能である。また、本発明の用途についても定電圧回路に限定するものではなく、全てのMOS回路において本発明を適用することが可能である。

【0050】

【発明の効果】請求項1記載の出力段回路によれば、電流遮断スイッチと電源電圧監視回路を設け、外部電源電

10

20

30

40

50

圧が所定値より低下したときに電流遮断スイッチを開放するので、外部電源電圧が出力端子の電圧より低下しても、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を防止することができる。

【0051】しかも、逆流電流を防止するために、MOS出力トランジスタと電源端子との間に電流遮断スイッチを挿入するとともに、外部電源電圧を監視し外部電源電圧の低下時に電流遮断スイッチを強制遮断する電源電圧監視回路を設けるだけでよいので、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を容易に実現することができる。

【0052】請求項2記載の出力段回路によれば、電源電圧監視回路をインバータ構成し、インバータを比較器として利用して外部電源電圧の低下を検出しているので、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流の防止を簡単な回路構成で実現することができる。請求項3記載の出力段回路によれば、比較器にて外部電源電圧を任意の基準電圧と比較するとともに外部電源電圧とNAND回路の閾値を比較することにより、外部電源電圧の低下を検出しているので、基準電圧を高めに設定することにより外部電源電圧がNAND回路の閾値より低下するまで待たずに外部電源電圧が少し低下するだけで、外部電源電圧の低下を検出することができる。しかも、外部電源電圧がかなり低下して比較器の動作が不能となる状況に陥ってもこのときはNAND回路の動作で外部電源電圧の低下を検出している状態が保持されることになる。そのため、外部電源電圧の低下勾配が緩やかなときにも、速やかに外部電源電圧の低下を検出することができ、早い段階で電流遮断スイッチを開放することができ、MOS出力トランジスタ自体の導通による電流の逆流および寄生ダイオードを通る電流の逆流を速やかに防止することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態における定電圧回路の構成を示す回路図である。

【図2】本発明の第2の実施の形態における定電圧回路の構成を示す回路図である。

【図3】本発明の第3の実施の形態における定電圧回路の構成を示す回路図である。

【図4】従来例の定電圧回路の構成を示す回路図である。

【図5】PチャネルMOSトランジスタの構成を示す概略図である。

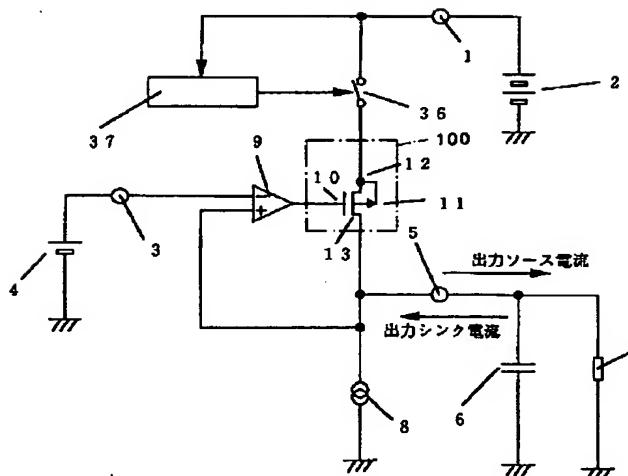
【図6】PチャネルMOSトランジスタの寄生ダイオード対策を説明するための回路図である。

#### 【符号の説明】

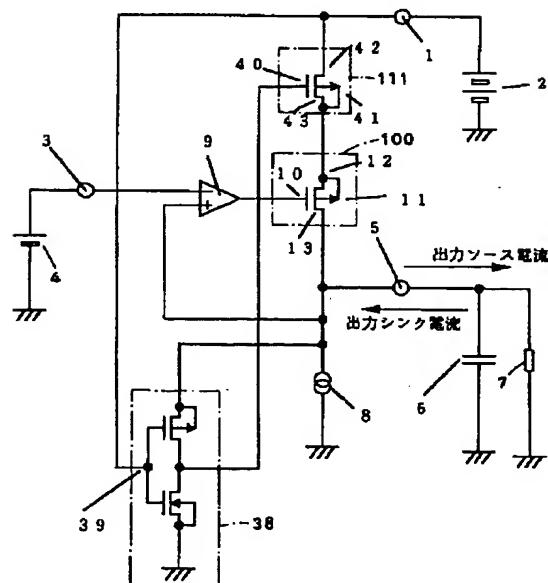
1 電源端子

2	外部電源	* 2 6	寄生ダイオード
3	基準電圧端子	2 7	寄生ダイオード
4	基準電圧源	2 8	共通ゲート
5	出力端子	2 9	ゲート
6	外部コンデンサ	3 0	バックゲート
7	外部負荷	3 1	ソース
8	バイアス用電流源	3 2	ドレイン
9	差動増幅器	3 3	寄生ダイオード
10	ゲート	3 4	寄生ダイオード
11	バックゲート	10 3 5	共通ゲート
12	ソース	3 6	電流遮断スイッチ
13	ドレイン	3 7	電源電圧監視回路
14	ゲート端子	3 8	電流遮断制御インバータ
15	バックゲート端子	3 9	電流遮断制御インバータの入力電圧
16	ソース端子	4 0	ゲート
17	ドレイン端子	4 1	バックゲート
18	寄生ダイオード	4 2	ソース
19	寄生ダイオード	4 3	ドレイン
20	ゲート酸化膜	4 4	NAND回路
21	逆流防止ダイオード	20 4 5	比較器
22	ゲート	4 6	基準電圧
23	バックゲート	100	PチャネルMOS出力トランジスタ
24	ソース	101	PチャネルMOS出力トランジスタ
25	ドレイン	*	102 PチャネルMOS出力トランジスタ

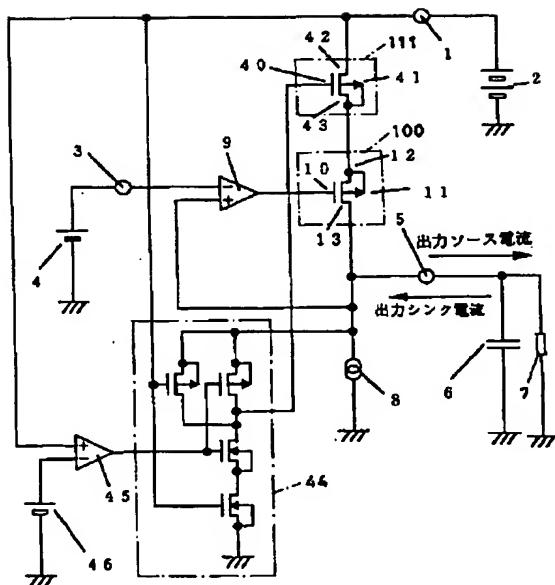
[図1]



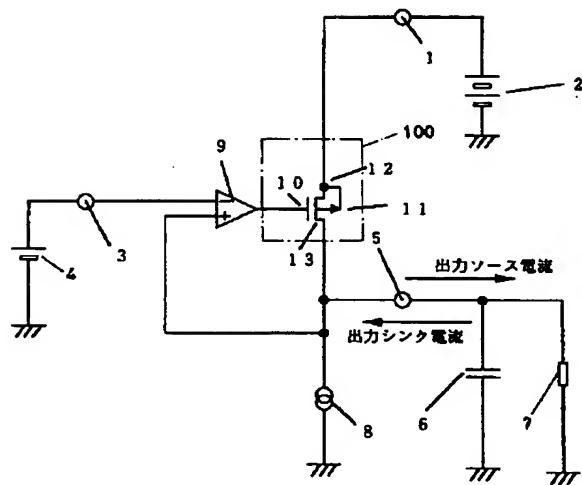
[图2]



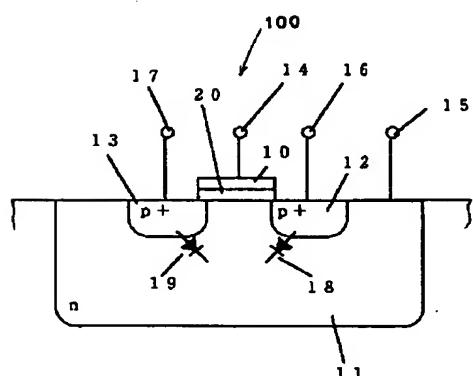
[図3]



[図4]



【図5】



【図6】

